

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-233964

(43) Date of publication of application : 02.09.1998

(51) Int.Cl.

H04N 5/335  
H01L 29/762  
H01L 21/339

(21) Application number : 09-036483

(71) Applicant : NIKON CORP

(22) Date of filing : 20.02.1997

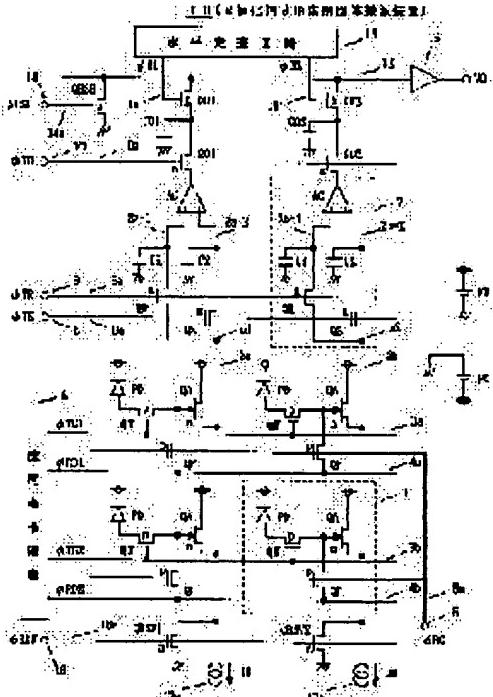
(72) Inventor : NOMURA HITOSHI

## (54) SOLID-STATE IMAGE PICKUP DEVICE FOR FORMING BINARY SIGNAL

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device for forming a binary signal by which binarization is processed at a high speed with low S/N.

**SOLUTION:** This solid-state image pickup device 10 for forming a binary signal is provided with vertical read lines 12a, 12b provided to pixels 1 and each column of the pixels 1 a vertical scanning circuit 13 that selects a specific row of the pixels 1 arranged in a matrix and transfers an electric signal in response to an incident light to the vertical read lines 12a, 12b in a desired timing, a binarization circuit 7 provided in each of the vertical read lines 12a, 12b, and a horizontal scanning circuit 15 that applies horizontal scanning to the vertical read lines 12a, 12b sequentially to transfer the signal to a horizontal read line 13. The binarization circuit 7 compares the electric signal outputted from the pixels 1 with a reference signal via an amplifier TR QA in the pixels 1 to output a binary signal.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233964

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.<sup>6</sup>  
H 0 4 N 5/335  
H 0 1 L 29/762  
21/339

識別記号

F I  
H 0 4 N 5/335  
H 0 1 L 29/76  
E  
3 0 1 J

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21)出願番号 特願平9-36483

(22)出願日 平成9年(1997)2月20日

(71)出願人 000004112  
株式会社ニコン  
東京都千代田区丸の内3丁目2番3号

(72)発明者 野村 仁  
東京都千代田区丸の内3丁目2番3号 株  
式会社ニコン内

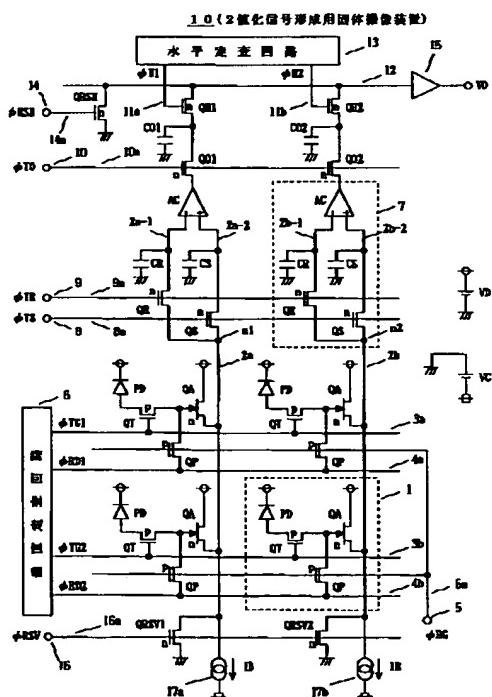
(74)代理人 弁理士 古谷 史旺 (外1名)

(54)【発明の名称】 2値化信号形成用固体撮像装置

(57)【要約】

【課題】 2値化処理を高速、且つ低S/N比で行う2値化信号形成用固体撮像装置を提供する。

【解決手段】 2値化信号形成用固体撮像装置10は、画素1…と、画素1…の列毎に設けられた垂直読み出し線12a, 12bと、マトリックス状に配置された画素1…の特定の行を選択して入射光に応じた電気信号を所望のタイミングで垂直読み出し線12a, 12bに転送する垂直走査回路13と、垂直読み出し線12a, 12bの各々に配置された2値化回路7と、垂直読み出し線12a, 12bを順次水平走査して信号を水平読み出し線13に転送する水平走査回路15とを備える。2値化回路7は、画素1, …から出力された電気信号と画素1内の増幅用トランジスタQAを介した基準信号とを比較して2値化信号を出力する。



1

2

## 【特許請求の範囲】

【請求項1】 マトリックス状に配列され、光検出部にて生成された信号電荷を増幅手段を介して出力する複数の画素と、

前記複数の画素の列毎に設けられた複数の垂直読み出し線と、

前記複数の画素の特定の行を選択して、当該画素の光検出部からの信号電荷に応じた電気信号を所望のタイミングで、当該垂直読み出し線に転送する垂直走査手段と、前記垂直読み出し線の各々に設けられ、前記所望のタイミングで前記画素から出力される前記信号電荷に応じた電気信号と、前記所望のタイミングと異なるタイミングで前記増幅手段を介して出力される基準信号とを比較して2値化信号を出力する2値化手段と、

前記複数の垂直読み出し線を、順次水平走査して、前記2値化信号を水平読み出し線に転送する水平走査手段とを備えていることを特徴とする2値化信号形成用固体撮像装置。

【請求項2】 前記光検出部は、入射光に応じた信号電荷を生成する光電変換素子からなり、

前記増幅手段には、

該増幅手段の制御領域に前記光電変換素子からの信号電荷を選択的に供給するための第1のスイッチ手段と、該増幅手段の制御領域に前記画素の外部から所望の電位を選択的に供給するための第2のスイッチ手段とが接続されていることを特徴とする請求項1に記載の2値化信号形成用固体撮像装置。

【請求項3】 前記2値化手段は、

前記光電変換素子にて生成された前記信号電荷に応じた電気信号を記憶する第1の記憶手段と、前記画素の外部からの前記所望の電位に応じた基準信号を記憶する第2の記憶手段と、

前記第1の記憶手段に記憶された前記電気信号と前記第2の記憶手段に記憶された前記基準信号とを比較して2値化信号を出力する比較手段とによって構成されていることを特徴とする請求項2に記載の2値化信号形成用固体撮像装置。

【請求項4】 前記第1の記憶手段は、前記画素から出力される前記電気信号に応じた電荷を蓄積する電荷蓄積手段であり、

前記第2の記憶手段は、前記画素から出力される前記基準信号に応じた電荷を蓄積する電荷蓄積手段であることを特徴とする請求項3に記載の2値化信号形成用固体撮像装置。

【請求項5】 前記画素と前記2つの電荷蓄積手段との間には、前記画素から出力される前記電気信号もしくは前記基準信号を選択的に転送するための転送切換手段が設けられていることを特徴とする請求項4に記載の2値化信号形成用固体撮像装置。

【請求項6】 前記増幅手段は、接合型電界効果トラン

ジスタであり、

該接合型電界効果トランジスタのゲートに、前記光電変換素子にて生成された前記信号電荷と、前記画素の外部からの前記所望の電位とが選択的に供給されることを特徴とする請求項4に記載の2値化信号形成用固体撮像装置。

【請求項7】 前記2値化手段は、

電流源と、

前記画素の外部から供給された前記所望の電位に応じた前記基準信号が、前記電流源の電流と等しくなるように、前記垂直読み出し線の電位をバイアスするバイアス手段と、該バイアス手段のバイアス状態を記憶するバイアス記憶手段と、

前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と、前記電流源の電流との差を検出する電流検出手段と、

前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と、前記電流源の電流との差の電流を前記電流検出手段に入力するための切換手段とによって構成されていることを特徴とする請求項2に記載の2値化信号形成用固体撮像装置。

【請求項8】 前記バイアス手段は、

前記垂直読み出し線と前記電流源との間に主電流経路が接続された定電流用トランジスタで構成され、前記バイアス記憶手段は、

前記定電流用トランジスタの制御電極と、該定電流用トランジスタの主電流経路の端子のうち前記電流源に接続された側の端子との間に設けられ、前記定電流用トランジスタのバイアス状態をサンプリングし、その後ホールドするためのサンプル・ホールド切替手段と、前記定電流用トランジスタの前記制御電極に接続され、前記定電流用トランジスタのバイアスをホールドするバイアス電荷蓄積手段とによって構成されていることを特徴とする請求項6に記載の2値化信号形成用固体撮像装置。

【請求項9】 前記比較手段には、該比較手段からの前記2値化信号を記憶する出力信号記憶手段が接続されていることを特徴とする請求項1から請求項8の何れかに記載の2値化信号形成用固体撮像装置。

【請求項10】 前記光電変換素子は、埋め込みフォトダイオードであることを特徴とする請求項1から請求項9の何れかに記載の2値化信号形成用固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、光検出部にて得られた画像データを2値化して2値画像を得るようになした2値化信号形成用固体撮像装置に関する。

## 【0002】

【従来の技術】従来より、マトリックス状に配置された

3

画素にて得られた画像データ（アナログ信号）を基準値と比較し、もって2値画像を得るようにした固体撮像装置（2値化信号形成用固体撮像装置）及び画像処理装置が公知である。図10は、従来の2値化信号形成用固体撮像装置100の一例を示す回路図である。

【0003】この図に示す従来の2値化信号形成用固体撮像装置100はXYアドレス方式を採用するもので、画素101, 101…がマトリックス状に配列され（図示例では、2×2個）、この画素101, 101…の各々に、フォトダイオードPD, PD…、増幅用トランジスタQA, QA…、前記フォトダイオードPDと増幅用トランジスタQAとを接続／分離するためのスイッチ用MOSトランジスタQT, QT…、前記増幅用トランジスタQAのゲートに電圧を供給し又はゲートに蓄積された電荷を排出するためのリセット用MOSトランジスタQP, QP…が設けられている。

【0004】そして、各画素101, 101…は、各列毎に共通の垂直読み出し線102a, 102bに接続されて、当該画素101, 101…からの入射光に応じた電気信号が垂直読み出し線102a, 102bに出力されるようになっている。又、この2値化信号形成用固体撮像装置100では、暗電流等に起因する固定パターン雑音を除去するための記憶回路107, 107が、各垂直読み出し線102a, 102bに設けられている。

【0005】具体的には、記憶回路107は、図に示すように、スイッチ用MOSトランジスタQD, QS及びコンデンサCD, CSにて構成され、コンデンサCDに暗電流に相当する電荷が蓄積され、コンデンサCSに入射光に応じた画素101からの電気信号に相当する電荷が蓄積されるようになっている。そして、各記憶された電荷は、水平読み出し線112-1, 112-2に一定のタイミングで出力され、該水平読み出し線112-1, 112-2上に配置された差動アンプ115にて、入射光に応じた電気信号から暗電流や各画素101, 101…の増幅用トランジスタQA毎のばらつきに起因する雑音（固定パターン雑音）が除去され、入射光に応じた電気信号（アナログ信号）のみが増幅されて得られるようになっている。

【0006】そして、増幅された信号（アナログ信号）は、比較器119で所定の基準値VREFと比較され、出力端子VOから2値化信号が出力されるようになっている。

【0007】図11は、上記2値化信号形成用固体撮像装置100の動作の一例を示すタイミングチャートであり、期間t10～t14は、第1行目の画素1の読み出し動作を、期間t20～t24は、第2行目の画素1の読み出し動作を示している。ここで、駆動パルスφTG1, φTG2はスイッチ用MOSトランジスタQT, QTのゲートに、駆動パルスφRD1, φRD2はリセット用MOSトランジスタQP, QPのドレインに、駆動

4

パルスφRGはリセット用MOSトランジスタQP, QPのゲートに、駆動パルスφRSVはリセット用MOSトランジスタQRSV1, QRSV2のゲートに、駆動パルスφTD, φTSは各々スイッチ用MOSトランジスタQD, QSのゲートに各々供給される駆動パルスである。又、駆動パルスφH1, φH2は、スイッチ用MOSトランジスタQH1, QH2のゲートに供給される駆動パルス、駆動パルスφRSHはリセットスイッチ用MOSトランジスタQRSH1, QRSH2のゲートに供給される駆動パルスである。

【0008】動作タイミングが、図11の期間t10に至ると、駆動パルスφRGがローレベルになりリセット用MOSトランジスタ（pチャネル型）QPはオンとなる。そして、駆動パルスφRD1が読み出しレベル（VRD；ハイレベル）となってその電圧VRDが、リセット用トランジスタQPを介して第1行目の増幅用トランジスタQAのゲート（制御領域）に供給され、ゲートが読み出しレベルVRDにバイアスされる（選択）。尚、第2行目の増幅用トランジスタQAは、駆動パルスφRD2がローレベル（電圧レベルVRS）のままであるため、ゲートが電圧レベルVRS（ローレベル）のままでオフ（非選択）に保持される。

【0009】一方で、駆動パルスφRSVがハイレベルになってリセットスイッチ用MOSトランジスタ（nチャネル型）QRSV1, QRSV2がオンとなり、垂直読み出し線102a, 102bに残る電荷が排出される（リセット）。このとき、駆動パルスφTD, φTSもハイレベルでスイッチ用MOSトランジスタ（nチャネル型）QD, QSがオンとなり、コンデンサCD, CSに残っていた電荷も放出される（リセット）。

【0010】尚、この期間t10においては、駆動パルスφTG1, φTG2が共にハイレベルに保持されているため転送用MOSトランジスタ（pチャネル型）QTはオフであり、各フォトダイオードPDでは、入射光に応じた電荷（信号電荷）が生成・蓄積されている。次の期間t11に至ると、駆動パルスφRGがハイレベルとなってリセット用MOSトランジスタ（pチャネル型）QPがオフとなり、第1行目の増幅用トランジスタQAのゲート（制御領域）はフローティング状態となるが、

40 該増幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧が前記読み出しレベルVRDにバイアスされたまま、その状態が保持される。

【0011】又、駆動パルスφRD1が電圧レベルVRS（ローレベル）に戻され、駆動パルスφRSVがローレベルに反転されて垂直読み出し線102a, 102bのリセットが解除される。そして、駆動パルスφTSがローレベルとなってスイッチ用MOSトランジスタ（nチャネル型）QSがオフとなり、垂直読み出し線102a, 102bには2種のコンデンサCD, CSのうちコンデンサCDのみが接続される。

【0012】この結果、この期間 $t_{11}$ では、期間 $t_1$ で選択（オン）された第1行目の増幅用トランジスタQAがソースホロア動作をし、読み出しレベルVRDにバイアスされている状態で暗電流に応じた電圧（VDと表記する）がコンデンサCDに充電されることになる。なお、上記暗電流に応じた電圧（VD）には、暗電流や各画素 $101, 101 \dots$ の増幅用トランジスタQA毎のばらつきに起因する雑音（固定パターン雑音）が含まれる。

【0013】次に、期間 $t_{12}$ に至ると、駆動パルス $\phi TD$ がローレベルとなってスイッチ用MOSトランジスタ（nチャネル型）QDがオフとなり、これに代わって、駆動パルス $\phi TS$ がハイレベルとなってスイッチ用MOSトランジスタ（nチャネル型）QSがオンとなりコンデンサCSが充電可能になる。このときコンデンサCDには上記した暗電流に応じた電圧が充電されたままとなる。

【0014】そして、駆動パルス $\phi TG_1$ がローレベルに反転されて第1行目の画素1の転送用MOSトランジスタQTがオンし、第1行目のフォトダイオードPDからの信号電荷が、第1行目の画素1の増幅用トランジスタQAのゲート（制御領域）に転送される。そして、期間 $t_{12}$ の終了時、即ち期間 $t_{13}$ の開始時、駆動パルス $\phi TG_1$ がハイレベルに反転され、第1行目の転送用MOSトランジスタQTが再びオフとなって第1行目の増幅用トランジスタQAのゲートは再びフローティング状態となるが、増幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧は、フォトダイオードPDから転送された信号電荷の分だけ上昇したまま保持される。

【0015】しかして、第1行目の増幅用トランジスタQAのソースホロア動作によって、入射光に応じた電気信号が垂直読み出し線 $102a, 102b$ に出力され、この電気信号に応じた電圧（VSSと表記する）がコンデンサCSに充電される。この場合、電圧VSSは、入射光のみに応じた電圧（VSと表記する）と暗電流に応じた電圧VDとの和となる（ $VSS = VS + VD$ ）。

【0016】次に、期間 $t_{13}$ の終了時、即ち期間 $t_{14}$ の開始時までに、先ず、駆動パルス $\phi TS$ がローレベルになって垂直読み出し線 $102a, 102b$ とコンデンサCSとの接続が断たれ、この状態で駆動パルス $\phi RS$ がハイレベルになって再び垂直読み出し線 $102a, 102b$ に残った電荷が排出される（リセット）。そして、期間 $t_{14}$ の間に、水平走査回路 $103$ からの駆動パルス $\phi H_1$ が一定期間ハイレベルに立ち上げられて垂直読み出し線 $102a$ 側のコンデンサCD, CRからの信号（アナログ信号）が、その切換タイミングで水平読み出し線 $112-1, 112-2$ に各々読み出され、差動アンプ $115$ でその差分が増幅され、更に比較器 $119$ で、所定の基準電圧 $VREF$ と比較されて、2値化処理

が行われる。尚、上記差動アンプ $115$ から出力される信号は、画素 $101$ からの固定パターン雑音を含む電気信号（ $VSS = VS + VD$ ）から暗電流に応じた信号（VD）を差し引いた値（入射光に応じた信号VS）を増幅した値となる。

【0017】その後、駆動パルス $\phi H_2$ が一定期間ハイレベルに立ち上げられたときは垂直読み出し線 $102b$ 側で同じ動作が行われて、2値化信号が得られる。尚、期間 $t_{14}$ における駆動パルス $\phi RSH$ の2回のハイレベルの切換によって、リセットスイッチ用MOSトランジスタQRSHがオンされると、前記水平読み出し線 $112a, 112b$ が各々リセット（初期化）される。

【0018】以上に示した期間 $t_{10} \sim t_{14}$ における第1行目の画素の読み出し動作は、続く期間 $t_{20} \sim t_{24}$ において、第2行目の画素に対して同様に繰り返して行われる。図12は、画像データの2値化を他の手法を用いて行う画像処理装置 $120$ の構成を示すブロック図である。

【0019】この画像処理装置 $120$ は、固体撮像装置 $121$ と、該固体撮像装置 $121$ によって得られた画像データをあらわす信号（アナログ信号）をデジタル信号に変換するAD変換回路 $122$ と、該AD変換回路 $122$ からのデジタル信号を保存する画像メモリ $123$ と、該画像メモリ $123$ に保存されているデジタル画像データを2値化する画像処理回路 $124$ とで構成されている。

【0020】即ち、この画像処理装置 $120$ では、固体撮像装置 $121$ で得られたアナログ信号が、固体撮像装置 $121$ の外部に設けられたAD変換回路 $122$ でデジタル信号に変換された後、画像メモリ $123$ に一時的に保存され、画像処理回路 $124$ で、所定の基準値と比較されてその2値化が行われるようになっている。

#### 【0021】

【発明が解決しようとする課題】しかしながら、前述の図10に示した従来の2値化信号形成用固体撮像装置 $100$ では、画素 $101$ にて生成・蓄積された電荷に応じた電気信号（アナログ信号）と、垂直走査回路 $106$ から増幅用トランジスタQA（増幅手段）を介して出力された基準信号（アナログ信号）を比較器 $115$ まで伝えなければならず、アナログ信号が伝わる経路が長くなり、その分、これらアナログ信号に雑音が乗り易くなる（S/N比の低下）。

【0022】特に、画素部のみならず、これに続く周辺回路要素の列毎のばらつき（コンデンサやスイッチ用のMOSトランジスタ等の製造上のばらつき）に起因する雑音の影響が大きくなる。又、前述の図12に示した従来の画像処理装置 $120$ では、固体撮像装置 $121$ から映像信号をアナログ信号として出力した後、デジタル信号に変換し、その後2値化処理を行っているため、固

体撮像装置 $121$ 以外の周辺回路が複雑で、画像処理装

置120全体が高価になるという不具合がある。

【0023】更に、画像処理装置120によって得られる映像信号の有効範囲、即ちダイナミックレンジはAD変換回路122の入力で制限されるが、一般にAD変換回路122の入力ダイナミックレンジは、固体撮像装置121のダイナミックレンジより狭いため、2値化処理の過程で固体撮像装置121の広いダイナミックレンジを有効に利用できないという不具合もあった。

【0024】上記2値化処理を、例えば、固体撮像装置の各画素毎に画像処理回路を別途設けて各画素毎に2値化機能をもたせて行うことも考えられているが、この場合は画素自体の構造が複雑になり、固体撮像装置の開口率の低下や、解像度の低下を引き起こすことになる。又、このように画素毎に画像処理回路を別途設ける場合、画素を高密度に配置して多画素化を図るという要請にこたえられなくなるという不具合もある。

【0025】本発明は、上記問題点に鑑みてなされたものであり、画像データの2値化処理を行うに当って、S/N比を大きくすることができる2値化信号形成用固体撮像装置を提供することを目的とする。

#### 【0026】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明は、マトリックス状に配列され、光検出部にて生成された信号電荷を増幅手段を介して出力する複数の画素と、前記複数の画素の列毎に設けられた複数の垂直読み出し線と、前記複数の画素の特定の行を選択して、当該画素の光検出部からの信号電荷に応じた電気信号を所望のタイミングで、当該垂直読み出し線に転送する垂直走査手段と、前記垂直読み出し線の各々に設けられ、前記所望のタイミングで前記画素から出力される前記信号電荷に応じた電気信号と、前記所望のタイミングと異なるタイミングで前記増幅手段を介して出力される基準信号とを比較して2値化信号を出力する2値化手段と、前記複数の垂直読み出し線を、順次水平走査して、前記2値化信号を水平読み出し線に転送する水平走査手段とを備えたものである。

【0027】又、請求項2に記載の発明は、前記光検出部が、入射光に応じた信号電荷を生成する光電変換素子からなり、前記増幅手段に、該増幅手段の制御領域に前記光電変換素子からの信号電荷を選択的に供給するための第1のスイッチ手段と、該増幅手段の制御領域に前記画素の外部から所望の電位を選択的に供給するための第2のスイッチ手段とを接続したものである。

【0028】又、請求項3に記載の発明は、前記2値化手段を、前記光電変換素子にて生成された前記信号電荷に応じた電気信号を記憶する第1の記憶手段と、前記画素の外部からの前記所望の電位に応じた基準信号を記憶する第2の記憶手段と、前記第1の記憶手段に記憶された前記電気信号と前記第2の記憶手段に記憶された前記基準信号とを比較して2値化信号を出力する比較手段と

によって構成したものである。

【0029】又、請求項4に記載の発明は、前記第1の記憶手段を、前記画素から出力される前記電気信号に応じた電荷を蓄積する電荷蓄積手段とし、前記第2の記憶手段を、前記画素から出力される前記基準信号に応じた電荷を蓄積する電荷蓄積手段としたものである。

【0030】又、請求項5に記載の発明は、前記画素と前記2つの電荷蓄積手段との間に、前記画素から出力される前記電気信号もしくは前記基準信号を選択的に転送するための転送切換手段を設けたものである。又、請求項6に記載の発明は、前記増幅手段を、接合型電界効果トランジスタとし、該接合型電界効果トランジスタのゲートに、前記光電変換素子にて生成された前記信号電荷と、前記画素の外部からの前記所望の電位とを選択的に供給するようにしたものである。

【0031】又、請求項7に記載の発明は、前記2値化手段を、電流源と、前記画素の外部から供給された前記所望の電位に応じた前記基準信号が前記電流源の電流と等しくなるように前記垂直読み出し線の電位をバイアスするバイアス手段と、該バイアス手段のバイアス状態を記憶するバイアス記憶手段と、前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と前記電流源の電流との差を検出する電流検出手段と、前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と前記電流源の電流との差の電流を前記電流検出手段に入力するための切換手段とによって構成したものである。

【0032】又、請求項8に記載の発明は、前記バイアス手段を、前記垂直読み出し線と前記電流源との間に主電流経路が接続された定電流用トランジスタで構成し、前記バイアス記憶手段を、前記定電流用トランジスタの制御電極と、該定電流用トランジスタの主電流経路の端子のうち前記電流源に接続された側の端子との間に設けられ、前記定電流用トランジスタのバイアス状態をサンプリングし、その後ホールドするためのサンプル・ホールド切替手段と、前記定電流用トランジスタの前記制御電極に接続され、前記定電流用トランジスタのバイアスをホールドするバイアス電荷蓄積手段とによって構成したものである。

【0033】又、請求項9に記載の発明は、前記比較手段に、該比較手段からの前記2値化信号を記憶する出力信号記憶手段を接続したものである。又、請求項10に記載の発明は、前記光電変換素子を、埋め込みフォトダイオードとしたものである。

【0034】(作用) 請求項1に記載の発明によれば、複数の垂直読み出し線毎に設けられた2値化手段にて、画像データの2値化信号が生成され、該生成された2値化信号が、垂直読み出し線から水平読み出し線、更には、出力端子まで伝わることとなるので、該水平読み出し線を伝わるときにこの電気信号(2値化信号)に雑音

が乗っても、アナログ信号の場合に比べて、その影響が小さくなる。

【0035】又、請求項2に記載の発明によれば、2値化を行う際に用いられる基準信号が、当該画素の増幅手段を介して出力されるので、入射光に応じた電気信号と基準信号とを同じ経路で出力させることができる。又、請求項3に記載の発明によれば、当該画素を介して、順次、出力される入射光に応じた電気信号と基準信号とを一旦記憶させ、該記憶させた値を互いに比較するだけで2値化信号を得ることができる。

【0036】又、請求項4に記載の発明によれば、当該画素を介して、順次、出力される基準信号をコンデンサ等に適宜記憶させることができる。又、請求項5に記載の発明によれば、前記増幅手段から出力される基準信号及び入射光に応じた電気信号を、転送切替手段によって2つの電荷蓄積手段に選択的に供給することができる。

【0037】又、請求項6に記載の発明によれば、入射光に応じた電荷をゲートに直接転送することができるので、当該電荷の転送路が短縮され、雑音が乗り難くなる。又、請求項7に記載の発明によれば、画素の固定パターン雑音を反映させた基準信号を簡易に記憶し、該記憶した基準信号と入射光に応じた電気信号とを簡易な方法で比較して、2値化信号を得ることができる。

【0038】又、請求項8に記載の発明によれば、基準信号と電気信号とを比較して2値化信号を生成する回路を簡易な構成で達成することができる。又、請求項9に記載の発明によれば、2値化された検出信号が、当該出力信号記憶手段に蓄えられているので、所望のタイミングで、当該検出信号を出力端子から適宜読み出すことができる。

【0039】又、請求項10に記載の発明によれば、各画素の光電変換素子において、当該フォトダイオードのp-n接合部に生じる空乏層が、画素の表面に達しないため、暗電流が抑制される。

#### 【0040】

##### 【発明の実施の形態】

(第1の実施形態)以下、本発明の第1の実施形態を図1から図3を参照して詳細に説明する。

【0041】図1は、第1の実施形態に係る2値化信号形成用固体撮像装置10の概略構成を示す回路図である。尚、この第1の実施形態では、説明を簡単にするために、4つの画素1, 1, 1, 1がマトリックス状(2×2個)で配置された例を用いて説明する。画素1(図1中破線で示す)は、入射光に応じた電荷を生成・蓄積するフォトダイオード(光検出部；光電変換素子)PDと、制御領域(制御電極；ゲート)に供給された信号電荷に応じて入射光に応じた電気信号(アナログ信号)をそのソースに出力する増幅用トランジスタ(増幅手段；本実施形態においてはnチャネル型の接合型電界効果トランジスタJFET)QAと、前記フォトダイオードPD

Dで生成・蓄積された電荷と垂直走査回路6から供給される電位(電圧レベルVRS, VRF, VRD)とを選択的に前記ゲート(制御領域)に供給するための転送用MOSトランジスタ(pチャネル型)QT(第1のスイッチ手段)と、前記ゲート(制御領域)に蓄積された信号電荷をリセットするためのリセット用MOSトランジスタ(pチャネル型)QP(第2のスイッチ手段)によって構成されている。

【0042】尚、本実施形態では、フォトダイオードPDとして、縦型オーバーフロー構造の埋め込みフォトダイオードを用いている。又、前記リセット用MOSトランジスタQPは、クロックライン4a, 4bから送られてくる基準信号に応じた電位(電圧レベルVRS, VRF, VRD)を前記ゲート(制御領域)に供給する働きをも有する。

【0043】又、前記フォトダイオードPDのカソードには電源電圧VDが接続されて、該フォトダイオードPDから入射光に応じた信号電荷が出力される。又、前記増幅用トランジスタQAのドレインには電源電圧VDが接続されて、ソースホロア動作によってそのゲート(制御領域)に蓄積された電荷に応じた電気信号(アナログ信号)がソースから出力されるようになっている。

【0044】又、各画素1の増幅用トランジスタQAのソースは、マトリックス配置の各列毎に垂直読み出し線2a, 2bに、各々共通接続されている。一方、転送用MOSトランジスタQTのゲートは、垂直走査回路6に接続されたクロックライン3a, 3bに共通接続され、垂直走査回路6からローレベルの駆動パルスμTG1またはμTG2が与えられると、当該転送用MOSトランジスタQTが各行毎に順次オンするようになっている。

尚、垂直走査回路6、クロックライン3a, 3b, 4a, 4b…等によって垂直走査手段が構成されている。

【0045】又、リセット用MOSトランジスタQPのドレインは、各行毎に垂直走査回路6に接続されたクロックライン4a, 4bに共通接続され、そのゲートは、行ライン5aを介して駆動パルス発生回路(図示省略)側のノード5に接続されている。又、リセット用MOSトランジスタQPのソースは、転送用MOSトランジスタQTのドレインと共有になっている。そして、リセット用MOSトランジスタQPのゲートに前記駆動パルス発生回路からローレベルのパルスμRGが与えられると、該リセット用MOSトランジスタQPがオンするようになっている。

【0046】又、前記した垂直読み出し線2a, 2bの途中には、各列毎に2値化回路(2値化手段)7が配置されている(図中破線で示す)。この2値化回路7の出力側の垂直読み出し線2a, 2bには、スイッチ用MOSトランジスタ(nチャネル型)QO1, QO2を介して、2値化信号蓄積用コンデンサCO1, CO2の一方

50 の端子が接続されている。

## 11

【0047】更に、2値化信号蓄積用コンデンサCO1, CO2の前記一方の端子には、水平読み出しスイッチ用MOSトランジスタ(nチャネル型)QH1, QH2を介して水平読み出しライン12が接続され、その後段に、出力バッファアンプ15が接続されている。尚、2値化信号蓄積用コンデンサCO1, CO2の他方の端子は接地されている。

【0048】この場合、前記スイッチ用MOSトランジスタQO1, QO2のゲートは、クロックライン10aを介して駆動パルス発生回路(図示省略)側のノード10に接続されており、駆動パルス発生回路からハイレベルの駆動パルスφTOが、前記スイッチ用MOSトランジスタQO1, QO2のゲートに与えられたときに、スイッチ用MOSトランジスタQO1, QO2がオンする。

【0049】又、前記水平読み出しスイッチ用MOSトランジスタQH1, QH2の各ゲートは、水平選択信号ライン11a, 11bに各々接続されており、前記水平走査回路13に接続された水平走査回路13からハイレベルの駆動パルスφH1, φH2が前記水平読み出しスイッチ用MOSトランジスタQH1, QH2の各ゲートに与えられたときこれらがオンして、水平読み出しの制御(水平走査)が行われるようになっている。尚、水平選択信号ライン11a, 11b、水平走査回路13等によって水平走査手段が構成されている。

【0050】又、前記水平読み出し線12には、リセットスイッチ用MOSトランジスタ(nチャネル型)QRSHのドレインが接続されている。このリセットスイッチ用MOSトランジスタQRSHは、そのソースが接地されている。そして、このリセットスイッチ用MOSトランジスタQRSHのゲートには、クロックライン14aが接続され、該クロックライン14aは駆動パルス発生回路(図示省略)側のノード14に接続されている。そして駆動パルス発生回路からハイレベルの駆動パルスφRSRSHが該リセットスイッチ用MOSトランジスタQRSHのゲートに与えられたときに、該リセットスイッチ用MOSトランジスタQRSHはオンするようになっている。

【0051】又、前記垂直読み出し線2a, 2bは、各列毎にリセットスイッチ用MOSトランジスタ(nチャネル型)QRSV1, QR SV2のドレインと、各定電流源17a, 17bとに接続されている。このときリセットスイッチ用MOSトランジスタQR SV1, QR SV2のソースは接地され、各定電流源17a, 17bには電源電圧VC(負)が接続されている。

【0052】そして、前記リセットスイッチ用MOSトランジスタQR SV1, QR SV2のゲートは、クロックライン16aを介して駆動パルス発生回路(図示省略)側のノード16に接続され、該駆動パルス発生回路から送出される駆動パルスφRSVが、前記リセットス

## 12

イッチ用MOSトランジスタQR SV1, QR SV2のゲートに与えられたときに、該リセットスイッチ用MOSトランジスタQR SV1, QR SV2がオンするようになっている。

【0053】ところで、前記した2値化回路7(図1中破線で示す)は、各々ノードn1, n2で2本の読み出し線2a-1, 2a-2, 2b-1, 2b-2に分岐された垂直読み出し線2a, 2bに配置されている。即ち、読み出し線2a-1, 2b-1にスイッチ用MOSトランジスタ(nチャネル型)QR(転送切換手段)と基準信号蓄積用コンデンサCR(第2の記憶手段)とが接続されている。又、読み出し線2a-2, 2b-2にスイッチ用MOSトランジスタ(nチャネル型)QS(転送切換手段)と出力信号蓄積用コンデンサCS(第1の記憶手段)とが接続されている。

【0054】そして、上記分岐された2本の読み出し線2a-1, 2a-2、読み出し線2b-1, 2b-2は共に電圧比較器AC(比較手段)に接続されている。しかし、この電圧比較器ACから2値化された信号(2値化信号)が出力される。一方、スイッチ用MOSトランジスタQS, QRのゲートは、クロックライン8a, 9aを介してそれぞれ駆動パルス発生回路(図示省略)側のノード8, 9に接続され、該駆動パルス発生回路から各々ハイレベルの駆動パルスφTS, φTRがゲートに各々与えられると、これらスイッチ用MOSトランジスタQS, QRがオンするようになっている。

【0055】次に、上記構成の2値化信号形成用固体撮像装置10の動作について、図2のタイミングチャートを参照して説明する。尚、図2において、期間t10～t17は、図1の第1行目の画素1の読み出し動作を示しており、期間t20～t27は、第2行目の画素1の読み出し動作を示している。

【0056】図2に示すように、期間t10に至る前、駆動パルスφTG1, φTG2はハイレベルに保持され、駆動パルスφRD1, φRD2はローレベル(電圧レベルVRS)に保持され、駆動パルスφRGはハイレベルに保持され、駆動パルスφRSV, 駆動パルスφTR, φTSはローレベルに保持され、駆動パルスφTOはローレベルに保持されている。尚、駆動パルスφH1, φH2, 駆動パルスφRSRSHは全てローレベルに保持されている。

【0057】そして、期間t10に至ると、駆動パルスφRGはローレベルに反転され、駆動パルスφRSVはハイレベルに反転され、駆動パルスφTR, φTSがハイレベルに反転される。

【0058】しかして、駆動パルスφRGがローレベルになるとリセット用MOSトランジスタ(pチャネル型)QPはオンとなる。又、駆動パルスφRSVがハイレベルになるとリセットスイッチ用MOSトランジスタ(nチャネル型)QR SV1, QR SV2がオンとな

13

る。又、駆動パルス $\phi$ TR,  $\phi$ TSがハイレベルになるとスイッチ用MOSトランジスタ(nチャネル型)QR, QSはオンとなる。

【0059】このとき、駆動パルス $\phi$ TOはローレベルに保持されているため、スイッチ用MOSトランジスタQO1, QO2はオフとなっている。更に、駆動パルス $\phi$ RD1,  $\phi$ RD2は、共に電圧レベルVRS(ローレベル)となっており、オンとなっているリセット用トランジスタQPを介してその電圧VRSが各增幅用トランジスタQAのゲート(制御領域)に伝わるようになっている。

【0060】このとき増幅用トランジスタQAのゲート(制御領域)は電圧レベルVRSにバイアスされる。この電位はローレベルであり、該增幅用トランジスタQAはオフとなる。又、この期間t10では、上記したようにリセットスイッチ用MOSトランジスタQR SV1, QR SV2が、共にオンとなっているため、全ての画素1の増幅用トランジスタQAのソースが接地される。

【0061】このとき(期間t10)、スイッチ用MOSトランジスタQR, QSは上記のようにオンされているので、基準信号蓄積用コンデンサCR及び出力信号蓄積用コンデンサCSに残留する信号電荷も定電流源17a, 17b側に排出される(リセット)。尚、この期間t10においては、駆動パルス $\phi$ TG1,  $\phi$ TG2が共にハイレベルに保持されているため、転送用MOSトランジスタ(pチャネル型)QTがオフとなっており、各フォトダイオードPDでは、入射光に応じた電荷(信号電荷)が生成され、蓄積されている。

【0062】次に、期間t11に至ると、駆動パルス $\phi$ RD1は基準電圧レベルVRFにされ、駆動パルス $\phi$ TSはローレベルに反転される。上記ローレベルの駆動パルス $\phi$ TSによってスイッチ用MOSトランジスタ(nチャネル型)QSはオフとなる。又、このとき既にオンに保持されている第1行目のリセット用MOSトランジスタQPを介して、前記基準電圧レベルVRFが第1行目の各画素1の増幅用トランジスタQAのゲート(制御領域)に供給される。

【0063】このように基準電圧レベルVRFが供給された第1行目の増幅用トランジスタQAはオンすると共\*

$$VSR = VRF - VT$$

ここで、VTは各增幅用トランジスタQAのドレイン電流がIBのときのゲート・ソース間電圧である。

【0068】次に、期間t13に至ると、駆動パルス $\phi$ RGがローレベルに反転され、駆動パルス $\phi$ TRがローレベルに反転される。駆動パルス $\phi$ TRがローレベルとなることによりスイッチ用MOSトランジスタ(nチャネル型)QRがオフとなり、基準信号蓄積用コンデンサCRは、期間t12で充電された前記式(1)で表される電位VSRを保持する。

【0069】又、駆動パルス $\phi$ RGがローレベルとなる※50

14

\*に、該增幅用トランジスタQAのゲート(制御領域)が基準電圧レベルVRFにバイアスされる。尚、第2行目の各增幅用トランジスタQAは、駆動パルス $\phi$ RD2がローレベル(電圧レベルVRS)のままであるため、ゲート(制御領域)が電圧レベルVRSのままでオフ(非選択)に保持される。

【0064】次に、期間t12に至ると、駆動パルス $\phi$ RD1が電圧レベルVRS(ローレベル)にされ、駆動パルス $\phi$ RGがハイレベルに、駆動パルス $\phi$ RSVがローレベルに反転される。前記駆動パルス $\phi$ RGがハイレベルとなることによってリセット用MOSトランジスタ(pチャネル型)QPがオフとなって、第1行目の増幅用トランジスタQAのゲート(制御領域)はフローティング状態となるが、該增幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧は前記基準電圧レベルVRFにバイアスされたまま、その状態が保持される。

【0065】又、この期間t12においては、上記のように駆動パルス $\phi$ RSVがローレベルとなるので、リセットスイッチ用MOSトランジスタ(nチャネル型)QR SV1, QR SV2が共にオフとなる。尚、駆動パルス $\phi$ TSは、ローレベルのままであるからスイッチ用MOSトランジスタ(nチャネル型)QSはオフのままである。

【0066】この結果、期間t12においては、期間t11において選択(オン)された第1行目の増幅用トランジスタQAがソースホロア動作をし、該增幅用トランジスタQAのソースの電位(この電位をVSRとする)は、そのソース・ドレイン間に流れる電流(ドレイン電流)がIB(定電流源17a, 17bに流れる電流値)になるまで上昇する。しかして、このとき電流(ドレイン電流)IBは、すでにオンとなっているスイッチ用MOSトランジスタQRを介して、基準信号蓄積用コンデンサCRに流れ、その両端の電圧がVSRとなるように充電される。

【0067】尚、期間t12では、ソースホロア動作によってソース・ドレイン間に流れる電流がIBになったとき、増幅用トランジスタQAのソースの電位VSRは、次式(1)に示される値になる。

$$\dots (1)$$

※ことにより、リセット用MOSトランジスタ(pチャネル型)QPはオンとなる。次に、期間t14に至ると、駆動パルス $\phi$ RD1が電圧レベルVRD(=読み出しレベル<VRF)となる。このとき、既にオンとなっている第1行目の各リセットスイッチ用MOSトランジスタQPを介して、前記電圧VRDが第1行目の各增幅用トランジスタQAのゲート(制御領域)に伝わり、該ゲートは、読み出しレベルVRDにバイアスされる。

【0070】次に、期間t15に至ると、駆動パルス $\phi$ RD1がローレベルに反転され、駆動パルス $\phi$ RD1が

## 15

ローレベル（電圧レベルVRS）に反転され、駆動パルス $\phi$ RGがハイレベルに反転される。そして、駆動パルス $\phi$ RGがハイレベルに反転されることにより、前記リセット用MOSトランジスタQPがオフとなって、第1行目の增幅用トランジスタQAのゲート（制御領域）がフローティング状態となるが、当該MOSトランジスタQPのゲートに寄生する容量によって、該ゲートの電圧は、電圧レベルVRDにバイアスされたまま保持される。

【0071】又、駆動パルス $\phi$ TG1がローレベルに反転されることにより、第1行目の画素1の転送用MOSトランジスタQTがオンする。このとき、第1行目の画素1のフォトダイオードPDにおいて生成され、蓄積されていた信号電荷は、第1行目の画素1の增幅用トランジスタQAのゲート（制御領域）に転送される。そして、この信号電荷の転送により、第1行目の増幅用トランジスタQAからは、ソースホロア動作によって、ゲート（制御領域）に受け取った電荷（信号電荷）に応じた電気信号（電圧信号）が垂直読み出し線2a, 2bに出力される。

【0072】即ち、上記のように増幅用トランジスタQAのゲート（制御領域）にフォトダイオードPDから入射光に応じた信号電荷が供給されると、増幅用トランジスタQAのゲートの電位も、供給された電荷に応じて上昇する。そして、この電位の上昇によって、第1行目の増幅用トランジスタQAがソースホロア動作をし、当該増幅用トランジスタQAのソースの電位も、前記ゲートの電位の上昇分に応じて上昇することになる。  
\*  
 $VSS = VRD + VS - VT$

ここで、VTは各増幅用トランジスタQAのドレイン電流がIBのときのゲート・ソース間電圧、VSは（入射光に応じた電荷／ゲート容量）であらわされるゲート電位の上昇分である。

【0077】また、駆動パルス $\phi$ TSがハイレベルであるため（スイッチ用MOSトランジスタQSがオン）、出力信号蓄積用コンデンサCSの両端は、当該期間t16で充電された前記式（2）で表される電位VSSとなる。尚、この電位VSSは、期間t16の終了時（期間t17の開始時）に前記駆動パルス $\phi$ TSがローレベルに反転されてスイッチ用MOSトランジスタQSがオフとなる時点までに、出力信号蓄積用コンデンサCSに充電される。

【0078】このように、基準信号蓄積用コンデンサCRの両端には電圧VSD（=VRF-VT）が保持され、出力信号蓄積用コンデンサCSの両端が電圧VSS（=VRD+VS-VT）となることで、電圧比較器ACからは、これら基準信号蓄積用コンデンサCRと出力信号蓄積用コンデンサCSに生じた、電圧VSDとVSSの大小が比較され、この比較結果をあらわす2値化信※

## 16

\* 【0073】そして、期間t15の終了時、即ち期間t16の開始時、今度は、駆動パルス $\phi$ TG1がハイレベルに反転され、第1行目の転送用MOSトランジスタQTが再びオフとなる。この転送用MOSトランジスタQTのオフによって、第1行目の画素1のフォトダイオードにおいて生成され、蓄積された信号電荷の転送が終了し、第1行目の増幅用トランジスタQAのゲート（制御領域）は再びフローティング状態となるが、増幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧は、フォトダイオードPDから転送された信号電荷の分だけ上昇したまま保持される。

【0074】次に、期間t16に至ると、駆動パルス $\phi$ TS、 $\phi$ TOがハイレベルに反転される。そして、駆動パルス $\phi$ TSがハイレベルとなることで、スイッチ用MOSトランジスタ（nチャネル型）QSがオンになる。このスイッチ用MOSトランジスタQSのオンによって、第1行目の増幅用トランジスタQAのソースの電位に応じた電荷が、出力信号蓄積用コンデンサCSに充電される。

20 【0075】一方、駆動パルス $\phi$ TOがハイレベルとなることによって、スイッチ用MOSトランジスタQO1, QO2が共にオンとなる。ところで、この期間t16でも、増幅用トランジスタQAのソースホロア動作によってソース・ドレン間に流れる電流がIBになったとき、該増幅用トランジスタQAのソースの電位（VSSで表す）は、以下の式（2）で示される値となる。

## 【0076】

… (2)

30※号が出力される。

【0079】又、この期間t16では駆動パルス $\phi$ TOがハイレベルであるため、スイッチ用MOSトランジスタ（nチャネル型）QO1, QO2がオフとなっており、これらスイッチ用MOSトランジスタ（nチャネル型）QO1, QO2を介して、2値化信号の値が、2値化信号蓄積用コンデンサCO1, CO2に蓄えられる。尚、このとき駆動パルス $\phi$ H1,  $\phi$ H2は共にローレベルで、スイッチ用MOSトランジスタ（nチャネル型）QH1, QH2は共にオフとなっている。

40 【0080】ところで、基準電圧レベルVRFに関しては、読み出し電圧VRDより大きな値であれば、その値を任意に設定することができる。今仮に、基準電圧レベルを読み出し電圧VRDを基準に設定するのであれば（例えば、読み出し電圧VRDと基準電圧VREFとの和に設定）、基準電圧VREFと前記した信号電圧VSとを直接比較することができる。

【0081】このときの基準電圧レベルをVSR1とすると、VSR1の値は、次式（3）で表される。

$$VSR1 = VRF - VT = VRD + VREF - VT \quad \dots (3)$$

17

従って、電圧VSSと電圧VSR1との差分（比較結果）は、次式（4）に示す関係となる。

$$\begin{aligned} VSS - VSR1 &= (VRD + VS - VT) - (VRD + VREF - VT) \\ &= VS - VREF \end{aligned}$$
…(4)

従って、電圧比較器ACの出力は、フォトダイオードP Dで得られた電荷に応じた信号電圧VSと、基準電圧V REFとを比較して得られた2値化信号となる。

【0083】しかして、入射光に応じた信号電圧VSが基準電圧VREFより大きければ、電圧比較器ACの出力は、電源電圧VD（ハイレベル）となり、入射光に応じた信号電圧VSが基準電圧（VREF）より小さければ、電圧比較器ACの出力は、接地レベル（ローレベル）となる。換言すれば、入射光に応じた信号電圧VSは基準電圧VREFをスレッショルドレベルとして、電圧比較器ACで2値化信号に変換されることとなる。

【0084】尚、上式（1）～（4）におけるゲート・ソース間電圧VTの値は、增幅用トランジスタQA毎に、ばらつき、固定パターン雑音の要因となることが知られている。しかして、上述のように、ともに同じ增幅用トランジスタQAのドレン電流が一定の値IBとなるようにして、電気信号（信号電圧）と基準信号（基準電圧）を読み出して比較するので、2値化信号に変換する際に、各画素1の增幅用トランジスタQA毎のばらつきに起因する固定パターン雑音の当該2値化信号への影響を除去することができる。

【0085】このように電圧比較器ACから出力された2値化信号は、この時点（期間t16）でオンに保持されているスイッチ用MOSトランジスタQO1, QO2を介して、2値化信号蓄積用コンデンサCO1, CO2に充電される。

【0086】そして、上記期間t16の終了時には、駆動パルスφTOがローレベルに反転されるので、スイッチ用MOSトランジスタQO1, QO2がオフとなり、2値化信号蓄積用コンデンサCO1, CO2はフローティング状態となる。この結果、2値化信号は、2値化信号蓄積用コンデンサCO1, CO2に各々保持される。次に、期間t17に至ると、水平走査回路13からの駆動パルスφH1が一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0087】又、駆動パルスφH2に関しては、前記駆動パルスφH1がローレベルに保持された後、所定間隔において一定期間ハイレベルに立ち上げられその後ローレベルに保持される。更に、駆動パルスφRSVに関しては、前記駆動パルスφH1がローレベルに立ち下がった後で駆動φH2が立ち上がる前までの間に、一定期間ハイレベルに立ち上げられその後ローレベルに保持され、その後、前記駆動パルスφH2がローレベルに立ち下がった後、再び一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

\* 【0082】\*

18

※【0088】しかし、駆動パルスφH1のハイレベルの切換によって、2値化信号蓄積用コンデンサCO1に保持されている2値化信号は、その切換タイミングで水平読み出し線12に読み出され、出力バッファアンプ15を介して、順次出力端子VOに出力される。続く、駆動パルスφRSVのハイレベルの切換によって、リセットスイッチ用MOSトランジスタQRSHがオンされると、前記水平読み出し線12がリセット（初期化）される。これは、水平読み出し線12の寄生容量により、電圧信号が水平読み出し線12に読み出されたときこの電気信号（電圧信号）の一部が当該寄生容量に保持されるため、この水平読み出し線12に残留している電気信号を、リセットするためのものである。

【0089】そして、駆動パルスφH2のハイレベルの切換によって、2値化信号蓄積用コンデンサCO2に保持されている2値化信号は、その切換タイミングで水平読み出し線12に読み出され、出力バッファアンプ15を介して、順次出力端子VOに出力される。最後に、駆動パルスφRSVがハイレベルに切り換ると、リセットスイッチ用MOSトランジスタQRSHがオンされ、再び前記水平読み出し線12がリセット（初期化）される。

【0090】尚、前記した読み出しラインの寄生容量の影響により、水平読み出し線12に読み出される電気信号（電圧信号）は、波形がなまて、定常状態に達するまで時間がかかるが、本実施形態では、水平読み出し線12に現れる電気信号（電圧信号）はすでに2値化信号に変換されているため、定常状態に達しなくとも、その電気信号がハイレベル／ローレベルの何れをあらわすかの判別が可能となり、その読み出し動作の高速化が図られる。

【0091】期間t17の終了時には（期間t20に至るまでに）、駆動パルスφRGはローレベルに反転され、駆動パルスφRSV、駆動パルスφTR、駆動パルスφTSはハイレベルに反転される。そして、前記駆動パルスφRGがローレベルとなることにより、リセットスイッチ用MOSトランジスタQPGがオンとなる。

【0092】又、駆動パルスφRSVがハイレベルとなることにより、スイッチ用MOSトランジスタQRSV1, QRSV2は共にオンとなって、垂直読み出し線2a, 2b上の電荷が排出される。又、駆動パルスφTR, φTSがハイレベルとなることにより、スイッチ用MOSトランジスタQR, QSがオフとなって、基準信号蓄積用コンデンサCRと出力信号蓄積用コンデンサCSに蓄積された電荷が排出される。

19

【0093】以上に示した期間 $t_{10} \sim t_{17}$ における第1行目の画素の読み出し動作は、続く期間 $t_{20} \sim t_{27}$ において、第2行目の画素に対して同様に繰り返して行われる。

【0094】次に、図1に示す画素1の具体的な構成について図3(A)～(C)を用いて詳細に説明する。画素1は、図1に示したように、入射光に応じた信号電荷を生成・蓄積する縦型オーバーフロー構造の埋め込みフォトダイオードPDと、該埋め込みフォトダイオードPDに蓄積された信号電荷を増幅する接合型電界効果トランジスタQAと、前記埋め込みフォトダイオードPDに蓄積された信号電荷を該接合型電界効果トランジスタQAのゲートに転送する転送用MOSトランジスタQTと、前記接合型電界効果トランジスタQAのゲートの電荷をリセットするリセット用MOSトランジスタQPによって構成されている。

【0095】図3(A)～(C)は、図1に示した画素1のデバイス構造を示す図であり、このうち図3(A)は、画素1のデバイス構造例を示す平面図であり、図3(B)は図3(A)のX1-X1線に沿った断面図であり、図3(C)は図3(A)のY1-Y1線に沿った断面図である。画素1は、図3(A)～(C)に示すように、入射光に応じた信号電荷を生成・蓄積する埋め込みフォトダイオードPDと、ゲート(制御領域)に受け取った信号電荷に応じた電気信号を出力する増幅用トランジスタ(JFET)QAと、前記埋め込みフォトダイオードPDによって生成・蓄積された信号電荷を該増幅用トランジスタ(JFET)QAのゲート(制御領域)に転送する転送用MOSトランジスタQTと、前記増幅用トランジスタ(JFET)QAのゲート(制御領域)の電荷をリセットするリセット用MOSトランジスタQPによって構成されている。

【0096】このうち転送用MOSトランジスタQTは、図3(C)に示すように、埋め込みフォトダイオードPDのp領域と、増幅用トランジスタ(JFET)QAのp型ゲート領域とを2つの拡散層に用い、TGをゲートとしたpチャネル型MOSトランジスタとして構成されている。

【0097】又、リセット用MOSトランジスタQPは、図3(B)に示すように、RGをゲートに、RD(p領域)をドレイン、増幅用トランジスタQAのゲートを構成するp領域をソースとするpチャネル型MOSトランジスタとして構成されている。又、埋め込みフォトダイオードPD自体は、図3(A)～(C)に示すように、n型シリコン層(n<sup>+</sup>)表面からp型シリコン基板(p-Sub)に向かって、n p n p型の縦型オーバーフロー構造の埋め込みフォトダイオード(n p n)によって埋め込みフォトダイオードが構成され、p n pによってオーバーフロー構造が構成される。)を形成している。

20

【0098】従って、溢れ出るキャリアを吸収するオーバーフロー構造によってブルーミング、スマア等のにじみの現象を抑制することができるとともに、埋め込みフォトダイオードPDによってpn接合部に生じる空乏層が表面に達しないため、暗電流が抑制され、又、信号電荷が転送された後にフォトダイオードPDに電荷が残らないため、残像、リセットノイズを抑えた理想的な特性を得ることができる。

【0099】又、增幅用トランジスタ(JFET)QA自体は、図3(A)～(C)に示すように、n<sup>+</sup>型ソース領域及びn<sup>+</sup>型ドレイン領域と、p型ゲート領域(pゲート)、n型チャネル領域(nチャネル)より構成されている。このうちp型ゲート領域(pゲート)は、n型チャネル領域(nチャネル)の上下に形成され、チャネルの形成されていない部分で両者(上下に形成されたp型ゲート領域(pゲート))を電気的に導通させるとともに、このp型ゲート領域(pゲート)とp型シリコン基板(p-Sub)とをnウェル(n-Well)によって電気的に分離している。

【0100】この結果、光電変換素子としてのフォトダイオードPD自身の特性に与える基板電圧の影響(基板バイアス効果)を大幅に低減し、各画素1, 1, 1, 1の解像度の向上、特性のばらつきの低減(例えば、固定パターン雑音の低減)を図ることに大きな効果がある。

【0101】以上のように、この第1の実施形態の2値化信号形成用固体撮像装置10によれば、フォトダイオードPDから入射光に応じた電気信号が得られる経路と、基準信号が得られる経路が同じになっているので、画素部は勿論のこと、それに続く周辺回路要素の列毎のばらつき(コンデンサやスイッチ用MOSトランジスタ等の製造上のばらつき)の影響をなくしてS/N比を高めることができる。

【0102】また、従来行われていた暗電流に起因する固定パターン雑音の除去が、上記基準信号の生成時に合わせて行われるので、従来、当該固定パターン雑音の除去のために必要であった差動アンプが不要になる。

(第2の実施形態) 次に、第2の実施形態の2値化信号形成用固体撮像装置20について、図4、図5を参照して説明する。

【0103】この第2の実施形態の2値化信号形成用固体撮像装置20は、上記した第1の実施形態の2値化信号形成用固体撮像装置10と2値化回路27の構成のみが異なる。従って、2値化信号形成用固体撮像装置20のうち2値化信号形成用固体撮像装置10と同一の構成については、同一の符号を付してその説明を省略する。

2値化信号形成用固体撮像装置20の2値化回路27は、図4に破線内に示すように、バイアス用MOSトランジスタ(pチャネル型)QB(バイアス手段)と、スイッチ用MOSトランジスタ(pチャネル型)QRB

21

と、スイッチ用MOSトランジスタ（nチャネル型）QSB（切換手段）と、バイアス蓄積用コンデンサCRB（バイアス記憶手段；バイアス電荷蓄積手段）と、電流検出用MOSトランジスタ（nチャネル型）QX（電流検出手段）と、2値化出力用MOSトランジスタ（nチャネル型）QYと、負荷用電流源CSと、インバータAXとによって構成されている。そして、上記したインバータAXから、画素1からの入射光に応じた電気信号と所定の基準信号とを比較して得られた2値化信号が出力されるようになっている。尚、この2値化回路27は、各垂直読み出し線22a, 22b毎（マトリックス状に配置された複数の画素1, 1, 1, 1の共通の列毎）にその途中に配置されている。

【0104】より具体的には、2値化回路27を構成するバイアス用MOSトランジスタQBは、そのソース・ドレン間（主電流経路）が、各々対応する垂直読み出し線22a, 22bに接続され、そのゲートは、バイアス蓄積用コンデンサCRBの一方の端子に接続されている。尚、このバイアス蓄積用コンデンサCRBの他方の端子は接地されている。

【0105】又、バイアス用MOSトランジスタQBのソースが接続されるノードn21には、スイッチ用MOSトランジスタQRBを介して、前記バイアス蓄積用コンデンサCRBの前記一方の端子が接続されている。更に、このノードn21には、定電流源（電流源）17a, 17bが接続されている。又、前記ノードn21の下流側（図4中下方）には、スイッチ用MOSトランジスタQSBを介して、電流検出用MOSトランジスタQXのドレン、ゲート及び、2値化出力用MOSトランジスタQYのゲートが接続されている。

【0106】この場合、電流検出用MOSトランジスタQXのソースと、2値化出力用MOSトランジスタQYのソースには、電源電圧VC（負）が各々接続されている。更に、前記2値化出力用MOSトランジスタQYはそのドレンが、負荷用電流源CSと、インバータAXの入力端子に接続されている。この場合、該負荷用定電流源CSには電源電圧VD（正）が接続される。

【0107】尚、前記したスイッチ用MOSトランジスタQRBは、そのゲートが、クロックライン23aを介して駆動パルス発生回路（図示省略）側のノードn23に接続されている。しかし、駆動パルス発生回路からローレベルの駆動パルスφRが前記スイッチ用MOSトランジスタ（pチャネル型）QRBのゲートに与えられると、当該スイッチ用MOSトランジスタQRBがオンするようになっている。

【0108】又、前記スイッチ用MOSトランジスタQSBのゲートは、クロックライン24aを介して駆動パルス発生回路（図示省略）側のノードn24に接続されている。しかし、駆動パルス発生回路からハイレベルの駆動パルスφSが、前記スイッチ用MOSトランジ

22

タ（nチャネル型）QSBのゲートに与えられると、当該スイッチ用MOSトランジスタQSBがオンするようになっている。

【0109】次に、この2値化信号形成用固体撮像装置20による2値化信号の生成について、図5に示すタイミングチャートを参照して説明する。尚、図5に示す、期間t10～t17は、第1行目の画素1の読み出し動作を示しており、期間t20～t27は、第2行目の画素1の読み出し動作を示している。

10 【0110】図5に示すように、期間t10に至る前、駆動パルスφTG1, φTG2、駆動パルスφRG、駆動パルスφRはハイレベルに保持され、駆動パルスφRD1, φRD2はローレベル（電圧レベルVRS）に保持されている。又、その他の駆動パルスφS、駆動パルスφTO、駆動パルスφH1, φH2、駆動パルスφRSHは全てローレベルに保持されている。

【0111】そして、期間t10に至ると、駆動パルスφRGがローレベルに反転され、画素1内のリセット用MOSトランジスタ（pチャネル型）QPがオンとなる。更に、駆動パルスφRD1, φRD2は、共に電圧レベルVRS（ローレベル）となっており、オンとなつた前記リセット用トランジスタQPを介してその電圧VRSが各增幅用トランジスタQAのゲート（制御領域）に伝わるようになっている。

【0112】尚、このとき駆動パルスφTG1, φTG2は共にハイレベルに保持されているため、転送用MOSトランジスタ（pチャネル型）QTがオフとなっており、各フォトダイオードPDでは、入射光に応じた電荷（信号電荷）が生成され、蓄積されている。しかし、

30 増幅用トランジスタQAのゲート（制御領域）は電圧レベルVRSにバイアスされるが、その出力に関してはこの時点（初期状態）では第1の実施形態の場合と同様に、ローレベルとなっているため、これら増幅用トランジスタQAは、全体としてオフとなっている。

【0113】又、駆動パルスφRが、引き続きハイレベルに保持されているため、スイッチ用MOSトランジスタ（pチャネル型）QRBはオフとなっている。又、駆動パルスφSは、引き続きローレベルに保持されているため、スイッチ用MOSトランジスタ（nチャネル型）

40 QSBもオフとなっている。又、このとき駆動パルスφTOはローレベルに保持されているため、スイッチ用MOSトランジスタQO1, QO2はオフとなっている。

【0114】次に、期間t11に至ると、駆動パルスφRD1が基準電圧レベルVRFにされ、駆動パルスφRがローレベルに反転される。そして、上記駆動パルスφRD1の基準電圧レベルVRFは、すでにオンとなっているリセット用MOSトランジスタQPを介して、画素1の増幅用トランジスタQAのゲート（制御領域）に供給され、該増幅用トランジスタQAのゲート（制御領域）が基準電圧レベルVRFにバイアスされる。

23

【0115】尚、第2行目の各増幅用トランジスタQAは、駆動パルスのRD2がローレベル（電圧レベルVR S）のままであるため、オフ（非選択）に保持される。又、この期間t11では、上記したように駆動パルスのRGがローレベルとなるので、スイッチ用MOSトランジスタ（pチャネル型）QRBがオンとなって、バイアス用MOSトランジスタQBのゲートとドレインとが接続される。

【0116】このとき、第1行目の増幅用トランジスタQAのドレイン電流とバイアス用MOSトランジスタQBのドレイン電流がIBとなるように（定電流源17a, 17bに流れる電流値）、増幅用トランジスタQAのソース及び、バイアス用MOSトランジスタQBのゲートの電位が自動的に設定される。又、このときのバイアス用MOSトランジスタQBのゲートの電位が、バイアス蓄積用コンデンサCRB間に保持される。

【0117】次に、期間t12に至ると、駆動パルスのRD1がローレベル（電圧レベルVRS）に戻され、駆動パルスのRG、駆動パルスのRがハイレベルに反転される。上記駆動パルスのRGがハイレベルとなることによって画素1内のリセット用MOSトランジスタQPはオフとなって、第1行目の増幅用トランジスタQAのゲート（制御領域）はフローティング状態となるが、そのゲートの寄生容量によって、ゲート電圧は、基準電圧レベルVRFにバイアスされたままの状態を保持する。

【0118】又、期間t12では、上記のように駆動パルスのRがハイレベルとなるので、スイッチ用MOSトランジスタ（pチャネル型）QRBはオフとなり、バイアス用MOSトランジスタQBのゲートはフローティング状態となるが、このときバイアス蓄積用コンデンサCRBにより、バイアス用MOSトランジスタQBのゲートの電圧は、期間t11で設定されたバイアスレベル（バイアス用MOSトランジスタQBのドレイン電流がIBとなるようなバイアスレベル）に保持される。

【0119】期間t13に至ると、駆動パルスのRGが再びローレベルに反転される。この駆動パルスのRGの反転によって、画素1内のリセット用MOSトランジスタQPが再びオンとなり、第1行目の画素1の増幅用トランジスタQAのゲート（制御電極）の電圧が、再び電圧レベルVRS（駆動パルスのRD1のレベル）に保持される。

【0120】次の期間t14に至ると、今度は、駆動パルスのRD1が電圧レベルVRD（=読み出しレベル<VRF）となる。この電圧レベルVRDは、すでにオンとなっている画素1内のリセットスイッチ用MOSトランジスタQPを介して、第1行目の各増幅用トランジスタQAのゲート（制御領域）に供給され、増幅用トランジスタQAのゲート（制御領域）の電圧が読み出しレベルVRDに保持される。

【0121】期間t15に至ると、駆動パルスのTG1

24

がローレベルに反転され、駆動パルスのRD1が電圧レベルVRS（ローレベル）に戻され、更に、駆動パルスのRGがハイレベルに反転される。前記駆動パルスのRGがハイレベルとなることによって、画素1内のリセットスイッチ用MOSトランジスタQPがオフとなる。

【0122】一方で、駆動パルスのTG1がローレベルとなることによって、第1行目の各画素1の転送用MOSトランジスタQTがオンとなり、第1行目の各画素1のフォトダイオードPDにおいて生成・蓄積された信号電荷が、第1行目の増幅用トランジスタQAのゲート（制御領域）に転送される。この信号電荷をそのゲートに受けた増幅用トランジスタQAは、そのソースに当該信号電荷に応じた電気信号を生成して、当該電気信号（電圧信号）を垂直読み出し線22a, 22bに出力する。

【0123】そして、期間t16に至ると、駆動パルスのTG1、駆動パルスのS、駆動パルスのTOがハイレベルに反転される。上記駆動パルスのTG1がハイレベルとなることにより、第1行目の転送用MOSトランジスタ（pチャネル型）QTがオフとなって、画素1からの信号電荷の転送が終了する。

【0124】このときゲートの寄生容量によって、フォトダイオードPDから転送された電荷の分だけ、増幅用トランジスタQAのゲートの電圧が上昇したまま（後述のVS）その状態が保持される。又、上記駆動パルスのSがハイレベルになることによってスイッチ用MOSトランジスタQS Bがオンとなり、上記駆動パルスのTOがハイレベルになることによってスイッチ用MOSトランジスタQO1, QO2がオンとなる。

【0125】ところで、期間t16に至るまでに、前記したように増幅用トランジスタQAのゲート電圧が基準レベルVRFであるとき（期間t11）、該増幅用トランジスタQAのドレイン電流及びバイアス用MOSトランジスタQBのドレイン電流がIB（定電流源17a, 17bに流れる電流値）となるように、所定の電圧がバイアス用MOSトランジスタQBのゲートに保持されている。

【0126】従って、この期間t16において、前記増幅用トランジスタQAのゲート電圧がフォトダイオードPDからの信号電荷に応じて上昇し増幅用トランジスタQAのゲート電圧がVRFより高くなると、増幅用トランジスタQAのドレイン電流及びバイアス用MOSトランジスタQBのドレイン電流は、一時的にIB（定電流源17a, 17bに流れる電流値）より大きくなる。

【0127】又、増幅用トランジスタQAのゲートの電圧がVRFより低くなると、増幅用トランジスタQAのドレイン電流及びバイアス用MOSトランジスタQBのドレイン電流は、一時的にIB（定電流源17a, 17bに流れる電流値）より小さくなる。ここで、増幅用トランジスタQAのゲート（制御領域）に入射光に応じた

50

25

電荷が転送された後の該増幅用トランジスタQAのゲート電位をVGSとすると、この電位VGSは次式(5)＊

$$VGS = VRD + VS$$

ここでVSは、(入射光に応じた電荷／ゲート容量)であらわされる値である。因みに、前記した期間t11においてリセットスイッチ用MOSトランジスタQPを介して増幅用トランジスタQAのゲートに供給される基準電圧レベルVRFは、任意に設定できる(但し、読み出し電圧VRDより大きくなることが条件)。※

$$VGS - VGB$$

$$= (VRD + VS) - (VRD + VREF)$$

$$= VS - VREF$$

仮に、増幅用トランジスタQAのドレイン電流及びバイアス用MOSトランジスタQBのドレイン電流をIDとすると、上記した電圧値VGSが電圧値VGBより大きいとき(VSがVREFより大きいとき)ドレイン電流の値(IDであらわす)は、上記した定電流源17a, 17bにより流れる電流値IBより一時的に大きくなる。

【0130】このとき定電流源17a, 17bの働きによって、これら電流ID、電流IBの差分の電流(ID - IB)が、この時点でオンとなっているスイッチ用MOSトランジスタQSBを介して、電流検出用MOSトランジスタQXのドレイン・ソース間を流れる。ここで、前記電流検出用MOSトランジスタQXと、2値化出力用MOSトランジスタQYとは、カレント・ミラー回路を構成しているので、前記2値化出力用MOSトランジスタQYにドレイン電流が供給される。

【0131】このとき、2値化出力用MOSトランジスタQYのドレイン電位は、低下し(ローレベル)、インバータAXの出力は電源電圧レベル(ハイレベル)となる。反対に、値VGSが値VGBより小さいとき(値VSが値VREFより小さいとき)、電流値IDがIBより小さくなるので、前記電流検出用MOSトランジスタQXのソース・ドレイン間には電流は流れない。従って、前記電流検出用MOSトランジスタQXのゲートと、2値化出力用MOSトランジスタQYのゲート電位は共に低下し、2値化出力用MOSトランジスタQYはオフとなる。

【0132】このとき、ドレイン電位は上昇し(ハイレベル)、インバータAXの出力は接地レベル(ローレベル)となる。このように、本実施形態の2値化信号形成用固体撮像装置20では、画素1からの電気信号は、基準電圧レベルVRF(基準電圧VREF)をスレッショルドレベルとして、該2値化回路27で2値化されることになる。

【0133】尚、増幅用トランジスタQAのドレイン電流IDは、ゲート・ソース間電圧VTの値に依存し、このゲート・ソース間電圧VTの値は、増幅用トランジスタQA毎にばらつく(固定パターン雑音の要因)ことが★50

26

\*であらわされる。

【0128】

…(5)

※【0129】今假に、該基準電圧レベルVRFを所望の値VGB(=VRF=VRD+VREF)に強制的に設定すると、増幅用トランジスタQAのドレイン電流がIBであるならば、増幅用トランジスタQAのゲート電圧の値VGSは、次式(6)に示す値となる。

…(6)

★知られている。しかして、上述のように、増幅用トランジスタQAのゲートを電流が一定の値(IB)となるようバイアスすることによって、2値化信号に変換する際に、各画素1の増幅用トランジスタQA毎のばらつきに起因する固定パターン雑音の当該2値化信号への影響を除去することができる。

【0134】上記インバータAXから出力された2値化信号は、当該期間t16においてオンとなっているスイッチ用MOSトランジスタQO1, QO2を介して、2値化信号蓄積用コンデンサCO1, CO2に充電される。そして、期間t17に至ると、駆動パルスのS、駆動パルスのTOはローレベルに反転される。そして駆動パルスのTOがローレベルとなることにより、スイッチ用MOSトランジスタQO1, QO2は共にオフとなって、2値化信号蓄積用コンデンサCO1, CO2はフローティング状態となり、2値化信号は2値化信号蓄積用コンデンサCO1, CO2に保持される。更に、上記駆動パルスのSがローレベルとなることにより、前記スイッチ用MOSトランジスタQSBはオフとなる。

【0135】次に、期間t17に至ると、第1の実施形態の場合と同様に、水平走査回路13からの駆動パルスのH1が一定期間ハイレベルに立ち上げられその後ローレベルに保持される。又、駆動パルスのH2に関しては、前記駆動パルスのH1がローレベルに保持された後、所定間隔において一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0136】更に、駆動パルスのRSRに関しては、前記駆動パルスのH1がローレベルに立ち下がった後で駆動のH2が立ち上がる前までの間に、一定期間ハイレベルに立ち上げられその後ローレベルに保持され、その後、前記駆動パルスのH2がローレベルに立ち下がった後、再び一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0137】しかし、駆動パルスのH1のハイレベルの切換によって、2値化信号蓄積用コンデンサCO1に保持されている2値化信号は、水平読み出し線12に読み出され、出力バッファアンプ15を介して、順次出力端子VOに出力される。続く、駆動パルスのRSRのハ

27

イレベルの切換によって、リセットスイッチ用MOSトランジスタQ R S Hがオンされると、前記水平読み出し線1 2がリセット（初期化）される。これは、水平読み出し線1 2の寄生容量により、電気信号（電圧信号）が水平読み出し線1 2に読み出されたときこの電気信号（電圧信号）の一部が当該寄生容量に保持されるおそれがあるため、この水平読み出し線1 2に残留している電気信号をリセットするための動作である。

【0138】そして、駆動パルスμH 2のハイレベルの切換によって、2値化信号蓄積用コンデンサCO 2に保持されている2値化信号は、水平読み出し線1 2に読み出され、出力バッファアンプ1 5を介して、順次出力端子VOに出力される。最後に、駆動パルスμR S Hがハイレベルに切り換ると、リセットスイッチ用MOSトランジスタQ R S Hがオンされ、再び前記水平読み出し線1 2がリセット（初期化）される。

【0139】尚、前記した読み出しラインの寄生容量の影響により、水平読み出し線1 2に読み出される電圧信号は、波形がなまって、定常状態に達するまで時間がかかるが、本実施形態においても、水平読み出し線1 2に現れる電圧信号がすでに2値化信号に変換されているため、定常状態に達しなくとも、当該2値化信号がハイレベルとローレベルの何れを示しているかの判別が可能となり、その読み出し動作の高速化が図られる。

【0140】期間t 1 7の終了時には（期間t 2 0に至るまでに）、駆動パルスμR Gはローレベルに反転されて、画素1内のリセットスイッチ用MOSトランジスタQ Pがオンとなる。以上に示した期間t 1 0～t 1 7における第1行目の画素の読み出し動作は、続く期間t 2 0～t 2 7において、第2行目の画素に対して同様に繰り返して行われる。

【0141】（第3の実施形態）次に本発明の第3の実施形態の2値化信号形成用固体撮像装置3 0について、図6、図7を参照して説明する。この第3の実施形態に係る2値化信号形成用固体撮像装置3 0は、2値化回路3 7…が、出力信号電荷蓄積手段（第1の実施形態のコンデンサCO 1, CO 2）を介さずに、単にスイッチ用MOSトランジスタ（nチャネル型）Q H 1 1, Q H 2 1のみを介して水平読み出し線1 2に接続している点が、上記した第1の実施形態の2値化信号形成用固体撮像装置1 0と異なる。

【0142】従って、2値化信号形成用固体撮像装置3 0において、第1の実施形態の2値化信号形成用固体撮像装置1 0と同一の部分については同一符号を付してその説明を省略する。この2値化信号形成用固体撮像装置3 0による2値化信号の生成の動作について、図7のタイミングチャートを用いて説明する。

【0143】尚、この2値化信号形成用固体撮像装置3 0における動作は、期間t 1 7及び期間t 2 7における動作のみが、上記した第1の実施形態の2値化信号形成

50

28

用固体撮像装置1 0と異なる。従って、期間t 1 0～t 1 6（期間t 2 0～2 6）の動作は、第1に実施形態の場合と同様であり、その詳細な説明は省略する。又、図7において、期間t 1 0～t 1 7は、第1行目の画素1の読み出し動作を示しており、期間t 2 0～t 2 7は、第2行目の画素1の読み出し動作を示している。

【0144】以下、図7の期間t 1 7における動作について説明する。第1の実施形態の場合と同様に、期間t 1 7に至るまでに（期間t 1 6の終了時）、画素1からの入射光に応じた電気信号は、2値化回路3 7の働きによって基準レベルVR F（基準電圧V R E F）と比較され、既にその2値化が行われている（電圧比較器ACの出力）。

【0145】そして、期間t 1 7に至ると、水平走査回路1 3からの駆動パルスμH 1が一定期間ハイレベルに立ち上げられその後ローレベルに保持される。又、駆動パルスμH 2に関しては、前記駆動パルスμH 1がローレベルに保持された後、所定間隔において一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0146】このとき2値化回路3 7からの2値化信号が、各列毎に順次、水平読み出し線1 2に読み出され、その後、出力バッファアンプ1 5を介して、順次出力端子VOに出力される。尚、読み出しラインの寄生容量の影響により、水平読み出し線1 2に読み出される電圧信号は、波形がなまって、定常状態に達するまで時間がかかるが、本実施形態でも、水平読み出し線1 2に現れる電圧信号がすでに2値化信号に変換されているため、定常状態に達しなくとも、当該2値化信号がハイレベルとローレベルの何れを示しているかの判別が可能となり、その読み出し動作の高速化が図られる。

【0147】又、水平読み出し線1 2上の電荷を排出する必要がなくなるため、読み出しの更なる高速化が図られる。

（第4の実施形態）次に第4の実施形態の2値化信号形成用固体撮像装置4 0について、図8、図9を参照して説明する。

【0148】この2値化信号形成用固体撮像装置4 0は、2値化回路4 7…が、出力信号電荷蓄積手段（第2の実施形態のコンデンサCO 1, CO 2）を介さずに、スイッチ用MOSトランジスタ（nチャネル型）Q H 1 1, Q H 2 1のみを介して水平読み出し線1 2に接続している点が、上記した第2の実施形態の2値化信号形成用固体撮像装置2 0と異なる。

【0149】従って、2値化信号形成用固体撮像装置4 0において、第2の実施形態の2値化信号形成用固体撮像装置2 0と同一の部分については同一符号を付してその説明を省略する。この2値化信号形成用固体撮像装置4 0による2値化信号の生成の動作について、図9のタイミングチャートを用いて説明する。尚、この2値化信号形成用固体撮像装置4 0における動作は、期間t 1 7

29

及び期間 $t_{27}$ における動作のみが、上記した第2の実施形態と異なる。従って、期間 $t_{10} \sim t_{16}$ （期間 $t_{20} \sim t_{26}$ ）の動作は、第1に実施形態の場合と同様であり、その詳細な説明は省略する。又、図9において、期間 $t_{10} \sim t_{17}$ は、第1行目の画素1の読み出し動作を示しており、期間 $t_{20} \sim t_{27}$ は、第2行目の画素1の読み出し動作を示している。

【0150】以下、図9の期間 $t_{17}$ における動作の説明のみ行う。第2の実施形態の場合と同様に、期間 $t_{17}$ に至るまでに（期間 $t_{16}$ の終了時）、画素1からの入射光に応じた電気信号は、2値化回路47の働きによって基準レベルVREF（基準電圧VREF）と比較され、既にその2値化が行われている（電圧比較器ACの出力）。

【0151】そして、期間 $t_{17}$ に至るまでに駆動パルスH1Sは、既に（期間16でハイレベルに反転されてその状態が保持され、スイッチ用MOSトランジスタ（nチャネル型）QS2がオンとなって、そのオン状態が当該期間 $t_{17}$ において保持される。

【0152】そして、期間 $t_{17}$ の間に、水平走査回路13からの駆動パルスH1が一定期間ハイレベルに立ち上げられその後ローレベルに保持され、引き続き、駆動パルスH2が、前記駆動パルスH1がローレベルに保持された後、所定間隔において一定期間ハイレベルに立ち上げられその後ローレベルに保持される。このとき2値化回路47からの2値化信号が、各列毎に順次、水平読み出し線12に読み出され、その後、出力バッファアンプ15を介して、順次出力端子VOに出力される。

【0153】尚、読み出しラインの寄生容量の影響により、水平読み出し線12に読み出される電気信号（電圧信号）は、波形がなまって、定常状態に達するまで時間がかかるが、本実施形態でも、水平読み出し線12に現れる電気信号（電圧信号）がすでに2値化信号に変換されているため、定常状態に達しなくとも、当該2値化信号がハイレベルとローレベルの何れを示しているかの判別が可能となり、その読み出し動作の高速化が図られる。

【0154】又、水平読み出し線12上の電荷を排出する必要がなくなるため、読み出しの更なる高速化が図られる。尚、上記した第1～第4の実施形態では、ゲートに寄生した容量によって増幅用トランジスタQAの制御領域（ゲート）を制御する画素1を例にあげて説明したが、増幅用トランジスタQAの制御領域に容量結合によって電圧信号を供給して、入射光に応じた電気信号を得るようにした画素にも、本発明を同様に適用できるのは勿論である。

【0155】又、上記第1～第4の実施形態では、画素の増幅用トランジスタQAとして接合型電界効果トランジスタ（JFET）を用いた場合を例にあげて説明したが、このJFETに代えて、MOSトランジスタ、バイ

30

ポーラトランジスタ等を用いてもよい。この場合には、MOSトランジスタのゲートや、バイポーラトランジスタのベースなどの電極（制御領域）に供給される電圧でドレインまたはコレクタ、ソースまたはエミッタなどの出力電圧・電流を制御すればよい。又、これらを併用して、画素を構成しても良い。

【0156】更に、上記第1～第4の実施形態では、画素1が2次元マトリックス上に配列されている場合を説明したが、1次元上に配列される場合でも同様の作用効果を得ることができる。

【0157】

【発明の効果】以上詳述したように、請求項1から請求項10に記載の2値化信号形成用固体撮像装置によれば、2値化手段が列毎に設けられて、入射光に応じて各画素から出力された電気信号と所定の基準信号とを比較して2値化信号が得られ、その後水平読み出し線に転送されるようになっているので、当該水平読み出し線の寄生容量に起因する雑音が該水平読み出し線上の信号に乗っても、該信号がすでに2値化されているため、信号処理における雑音の影響を小さくすることができる。又、2値化信号がハイレベル／ローレベルの何れであるかの判別をいち早く行えるので、信号処理の高速化が図られる。

【0158】又、請求項1から請求項10に記載の2値化信号形成用固体撮像装置では、その装置内で2値化処理を行うので、周辺回路でダイナミックレンジが制限されることはなくなり、2値化処理に、固体撮像装置のダイナミックレンジがそのまま利用できるという効果もある。又、請求項1から請求項10に記載の2値化信号形成用固体撮像装置によれば、2値化手段は、画素の外部に設けられているため、画素の構造を大きくすることなく2値化信号を出力することができ、画素の開口率や解像度を低下させることができない。

【0159】更に、請求項3から請求項10に記載の2値化信号形成用固体撮像装置によれば、光検出部から入射光に応じた電気信号が得られる経路と、基準信号が得られる経路が同じになっているので、画素部は勿論のこと、それに続く周辺回路要素の列毎のばらつき（コンデンサやスイッチ用MOSトランジスタ等の製造上のばらつき）の影響をなくしてS/N比を高くすることができる。また、従来行われていた暗電流に起因する固定パターン雑音の除去が、上記基準信号の生成時に合わせて行われるので、従来、当該固定パターン雑音の除去のために必要であった差動アンプが不要になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の2値化信号形成用固体撮像装置10の概略構成を示す模式回路図である。

【図2】2値化信号形成用固体撮像装置10の動作を説明するタイミングチャートである。

【図3】2値化信号形成用固体撮像装置10の画素1の

31

デバイス構造を示す図である。

【図4】第2の実施形態の2値化信号形成用固体撮像装置20の概略構成を示す模式回路図である。

【図5】2値化信号形成用固体撮像装置20の動作を説明するタイミングチャートである。

【図6】第3の実施形態の2値化信号形成用固体撮像装置30の概略構成を示す模式回路図である。

【図7】2値化信号形成用固体撮像装置30の動作を説明するタイミングチャートである。

【図8】第4の実施形態の2値化信号形成用固体撮像装置40の概略構成を示す模式回路図である。

【図9】2値化信号形成用固体撮像装置40の動作を説明するタイミングチャートである。

【図10】従来の2値化信号形成用固体撮像装置100の概略構成を示す模式回路図である。

【図11】従来の2値化信号形成用固体撮像装置100の動作を説明するタイミングチャートである。

【図12】固体撮像装置の外部に2値化手段を設けた従来の画像処理装置120のブロック図である。

#### 【符号の説明】

##### 1 画素

2a, 2b 垂直読み出し線

6 垂直走査回路（垂直走査手段）

7, 27, 37, 47 2値化回路（2値化手段）

12 水平読み出し線

13 水平走査回路（水平走査手段）

15 出力バッファアンプ

17a, 17b 定電流源（電流源）

PD フォトダイオード（光検出部、光電変換素子）

QA 増幅用トランジスタ（増幅手段）

10

20

30

32

QT 転送用MOSトランジスタ（第1のスイッチ手段）

QP リセット用MOSトランジスタ（第2のスイッチ手段）

QS, QR スイッチ用MOSトランジスタ（転送切換手段）

CS 出力信号蓄積用コンデンサ（第1の記憶手段；電荷蓄積手段）

CR 基準信号蓄積用コンデンサ（第2の記憶手段；電荷蓄積手段）

AC 電圧比較器（比較手段）

QRSV1, QRSV2 リセットスイッチ用MOSトランジスタ

QRSH リセットスイッチ用MOSトランジスタ

QB バイアス用MOSトランジスタ（バイアス手段；定電流用トランジスタ）

QRB スイッチ用MOSトランジスタ（バイアス記憶手段；サンプル・ホールド手段）

QSB スイッチ用MOSトランジスタ（切換手段）

CRB バイアス蓄積用コンデンサ（バイアス記憶手段；バイアス電荷蓄積手段）

QX 電流検出用MOSトランジスタ（電流検出手段）

QY 2値化出力用MOSトランジスタ

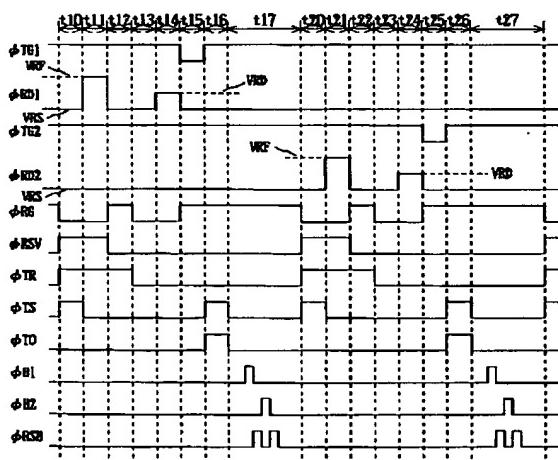
CS 負荷用電流源

AX インバータ

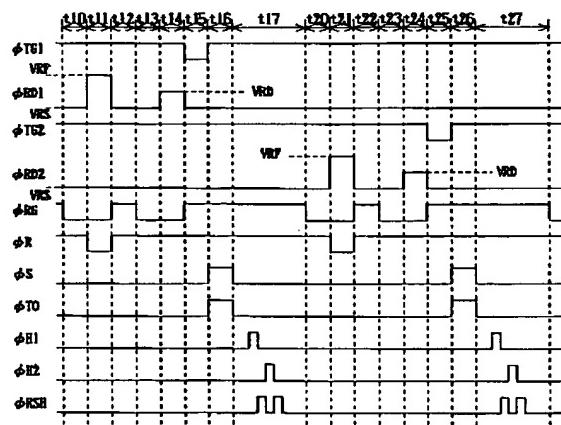
QO1, QO2 スイッチ用MOSトランジスタ（第1のスイッチ手段）

QH1, QH2 水平読み出しスイッチ用MOSトランジスタ（第2のスイッチ手段）

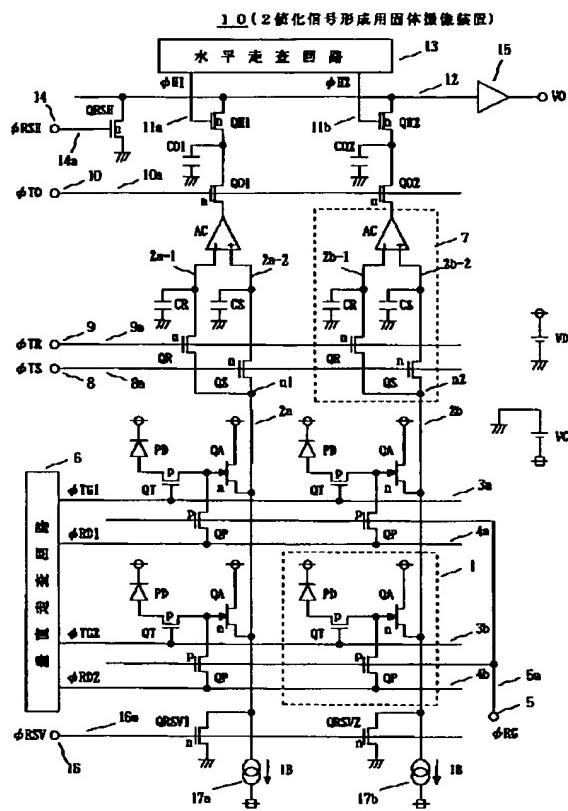
【図2】



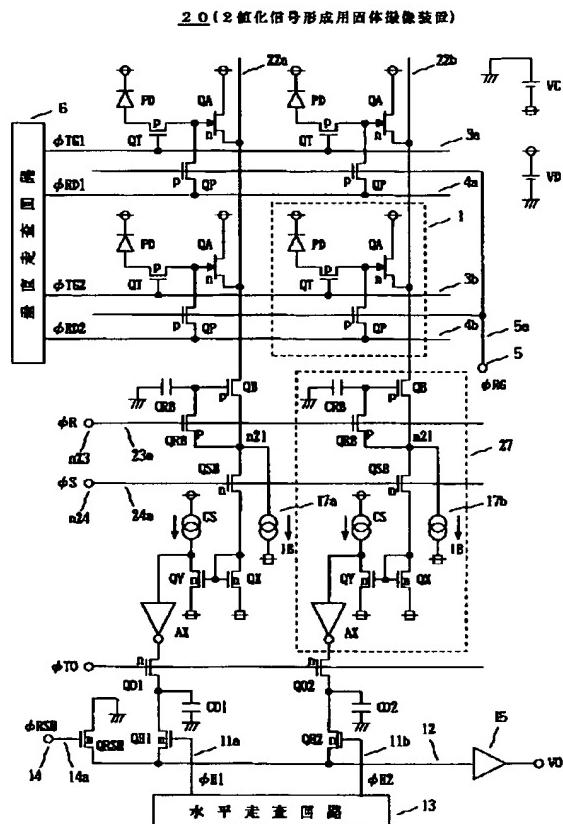
【図5】



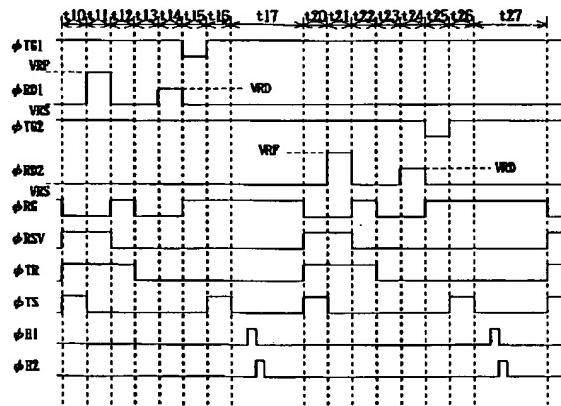
【 1】



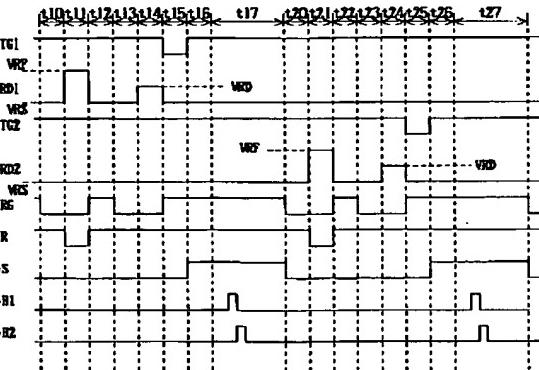
【四】



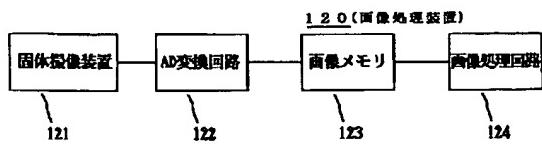
【四七】



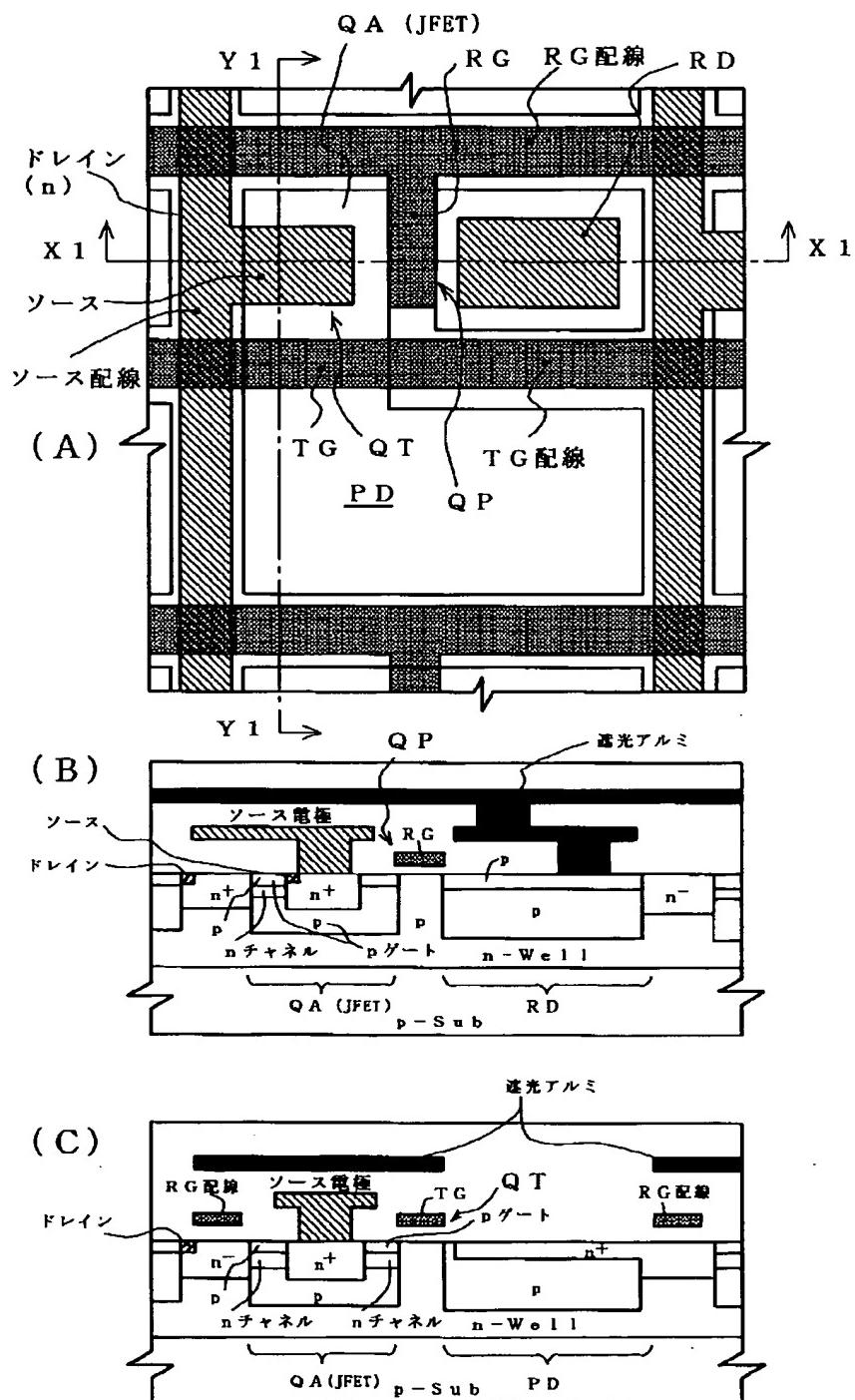
〔図9〕



【图12】

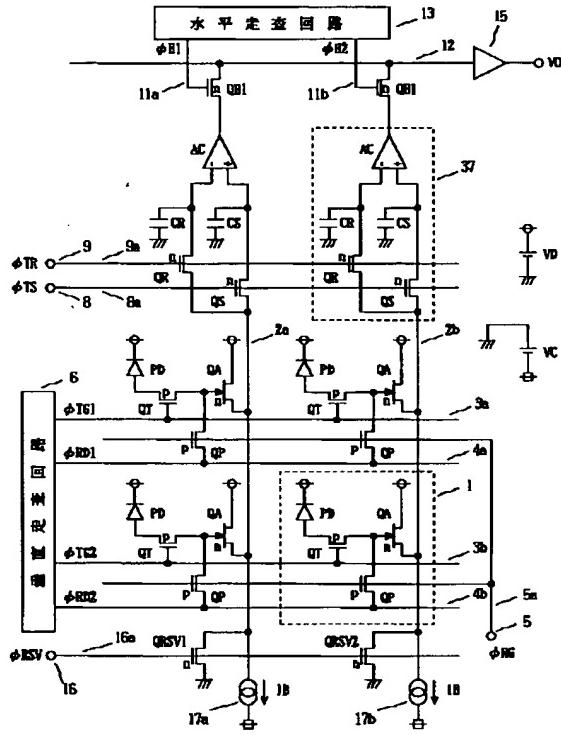


【图3】



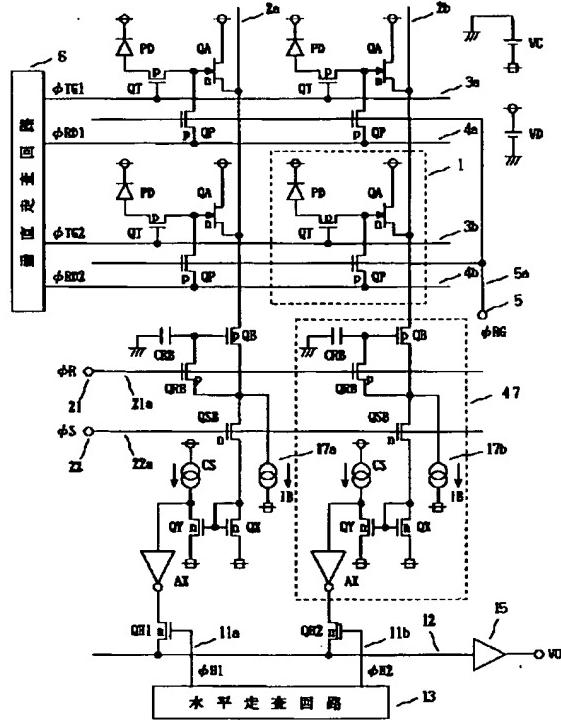
【図6】

### 3.0 (2 值化信号形成用固体摄像装置)



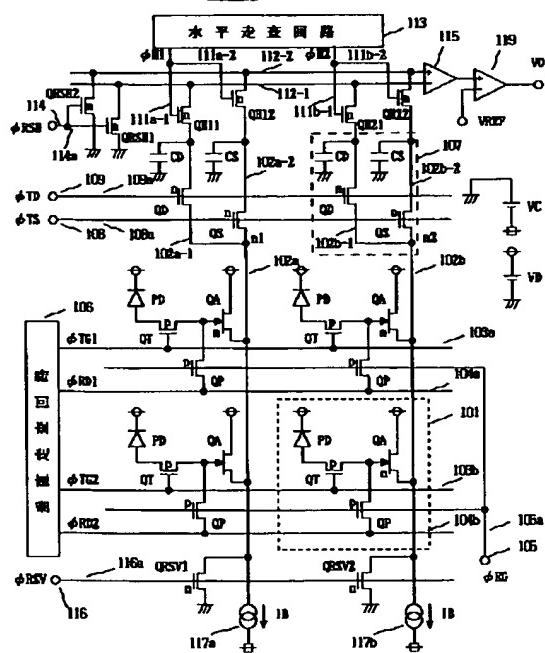
〔図8〕

#### 4.0 (2 植化信号形成用固体摄像装置)



【图10】

### 1.2.2 (3) 氯化氫量測成因固体酸霧裝置



【图11】

